

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-164439

(43)公開日 平成10年(1998)6月19日  
Published on June 19, 1998

(51)Int.Cl.<sup>6</sup>

H 0 4 N 5/335

識別記号

F I

H 0 4 N 5/335

P

審査請求 未請求 請求項の数3 O.L (全9頁)

(21)出願番号 特願平8-316601

(22)出願日 平成8年(1996)11月27日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 石本 一男

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

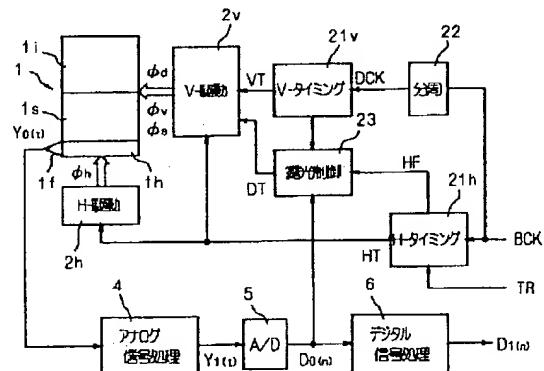
(74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 撮像装置

(57)【要約】

【課題】 撮像装置からコンピュータ機器へ高速で画像情報を供給できるようにする。

【解決手段】 固体撮像素子1は、垂直駆動回路2vで垂直駆動され、水平駆動回路で水平駆動される。垂直駆動回路2vは、一定周期の分周クロックDCKに基づいて動作する垂直タイミング制御回路21vからの垂直タイミング信号VTに応答して一定の周期で動作する。水平駆動回路21hは、コンピュータ機器から供給される転送トリガTRに応答して起動する水平タイミング制御回路21hからの水平タイミング信号HTに応答して動作する。露光制御回路23は、水平タイミング制御回路21hから供給される水平転送フラグHFに応答し、水平転送駆動の期間を避けて排出駆動のタイミングを設定する。



## 【特許請求の範囲】

【請求項1】 被写体画像を撮らえ、画像情報を1画面単位でコンピュータ機器へ供給する撮像装置において、複数の受光画素が行列配置され、各受光画素に被写体画像に対応した情報電荷を蓄積する固体撮像素子と、一定周期の基準クロックに基づいて上記固体撮像素子の垂直走査期間を繰り返し所定の期間に設定する垂直タイミング制御回路と、上記基準クロックに同期し、コンピュータ機器側から供給される転送トリガに応答して上記固体撮像素子の水平走査のタイミングを決定する水平タイミング制御回路と、上記固体撮像素子の各受光画素に蓄積される情報電荷を一旦排出した後、所望の期間を経過して新たに蓄積される情報電荷を上記垂直タイミング制御回路及び水平タイミング制御回路の制御を受けて1行単位で順次転送出力を画像信号を得る駆動回路と、上記固体撮像素子の電荷排出のタイミングから電荷転送出力開始のタイミングまでの期間を上記画像信号のレベルに応じて設定する露光制御回路と、を備え、上記露光制御回路は、上記水平タイミング制御回路で設定される水平走査の帰線期間内に上記固体撮像素子の情報電荷の排出を完了させることを特徴とする撮像装置。

【請求項2】 上記垂直タイミング制御回路は、各垂直走査期間に上記固体撮像素子の水平走査数をカウントし、垂直走査期間の完了時点で水平走査数が所定の数に達しないとき、上記駆動回路の垂直走査を停止させると共に、上記露光制御回路の制御状態を固定することを特徴とする請求項1に記載の撮像装置。

【請求項3】 上記水平タイミング制御回路は、コンピュータ機器側からの転送トリガに応答して上記駆動回路を起動させた後、上記固体撮像素子の1行の画素数及び上記駆動回路の駆動周波数で決定される所定の期間だけ次の転送トリガを無効にすることを特徴とする請求項1に記載の撮像装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、コンピュータ機器に画像情報を供給する撮像装置に関する。

## 【0002】

【従来の技術】 図6は、フレーム転送方式のCCD固体撮像素子を用いた撮像装置の構成を示すブロック図で、図7は、その動作を説明するタイミング図である。CCD固体撮像素子1は、撮像部1i、蓄積部1s、水平転送部1h及び出力部1fを有する。撮像部1iは、互いに平行に配列される垂直方向に連続する複数のシフトレジスタからなる。複数のシフトレジスタの各ビットは、それぞれ受光画素を形成する。これにより、撮像部1iには、複数の受光画素がマトリクス状に配置され、被写体映像に対応して発生する情報電荷が1画素毎にそれぞれ独立して蓄積される。蓄積部1sは、撮像部1iの各シフトレジスタに連続する複数のシフトレジスタからな

る。各シフトレジスタのビット数は、撮像部1iのシフトレジスタのビット数に合わせて設定され、撮像部1iのシフトレジスタから転送出力される情報電荷を1画面単位で一時的に蓄積する。水平転送部1hは、蓄積部1sの複数のシフトレジスタの各出力がそれぞれ各ビットに接続される单一のシフトレジスタからなる。このシフトレジスタは、蓄積部1sの複数のシフトレジスタから1ビットずつ転送出力される情報電荷を順次受け取り、1行単位で転送出力する。そして、出力部1fは、電気的に独立した容量及びその容量の電位変化を取り出すアンプからなり、水平転送部1hのシフトレジスタから転送出力される情報電荷を1画素単位で容量に受けて電圧値に変換し、その電圧値の変化を画像信号Y0(t)として出力する。

【0003】 垂直駆動回路2vは、垂直タイミング信号VTに応答して多相の垂直転送クロックφvを発生し、固体撮像素子1の撮像部1iへ供給する。これにより、撮像部1iの各受光画素に発生して蓄積された情報電荷が、垂直タイミング信号VTに従う周期で、1画面単位で蓄積部1iから蓄積部1sへ高速に転送される。そして、垂直駆動回路2vは、水平タイミング信号HTに応答して多相の蓄積クロックφsを発生し、蓄積部1sへ供給する。これにより、蓄積部1sに蓄積された1画面分の情報電荷が、水平タイミング信号HTに従う周期で、1行ずつ水平転送部1hへ転送される。また、蓄積クロックφsについては、撮像部1iから高速で転送される情報電荷を蓄積部1sへ取り込むように、垂直転送クロックφvに応じるクロックパルスも含む。さらに、垂直駆動回路2vは、排出タイミング信号DTに応答して垂直走査期間の途中で立ち上げられる排出クロックφdを固体撮像素子1の撮像部1iで過剰な電荷を吸収するドレイン領域に供給する。排出クロックφdは、ドレイン領域の電位を制御して撮像部1iに蓄積される情報電荷を排出するものであり、排出クロックφdによる情報電荷の排出動作が完了してから垂直クロックφvによる情報電荷の転送動作が開始されるまでの期間しが情報電荷の蓄積時間となる。この基板クロックφdのタイミングの変更によって、固体撮像素子1の情報電荷の蓄積期間、即ち、シャッタ速度の制御が可能になる。尚、この情報電荷の排出方法については、例えば、特開平3-22768号公報あるいは特開平3-48586号公報に開示されている。

【0004】 水平駆動回路2hは、水平タイミング信号HTに応答して水平転送クロックφhを発生し、固体撮像素子1の水平転送部1hに供給する。これにより、蓄積部1sから1行単位で水平転送部1hへ転送される情報電荷が、シリアルに出力部1fへ転送出力される。また、水平駆動回路2vは、水平転送クロックφhに同期したりセットクロックφrを発生し、出力部1fへ供給する。これにより、出力部1fの容量に蓄積される情報電

荷が1画素毎に排出され、1画素単位で電荷量から電圧値への変換が行われる。

【0005】水平タイミング制御回路3hは、一定周期の基準クロックBCKをカウントするカウンタを含み、基準クロックBCKを所定の比で分周して水平走査周期の水平タイミング信号HTを生成する。例えば、NTSC方式に従う場合、信号処理の過程で用いられる色副搬送波の周波数3.58MHzの4倍の周波数14.32MHzの基準クロックBCKを1/910に分周して水平タイミング信号HTを生成する。垂直タイミング制御回路3vは、水平タイミング信号HTをカウントするカウンタを含み、水平タイミング信号を所定の比で分周して垂直走査周期の垂直タイミング信号VTを生成する。例えば、NTSC方式に従う場合、周波数14.32MHzの基準クロックBCKが1/910に分周された水平タイミング信号HTをさらに2/525に分周して垂直タイミングVTを生成する。これにより、固体撮像素子1の水平走査及び垂直走査の各タイミングが決定される。

【0006】アナログ信号処理回路4は、固体撮像素子1から出力される画像信号Y0(t)を取り込み、サンプルホールド、レベル補正等の処理を施して所定のフォーマットに従う信号処理された画像信号Y1(t)を生成する。A/D変換回路5は、画像信号Y1(t)を取り込み、1画素毎にアナログ値をデジタルデータに変換して画像データD0(n)を生成する。そして、デジタル信号処理回路6は、画像データD0(n)を取り込み、色分離、色差マトリクスや平衡変調等の処理を施して輝度データ、色差データを含む画像データD1(n)を生成する。このようにして得られる画像データD1(n)は、テレビモニタ等の表示系へ送られるか、あるいは、ビデオディスク等の記録媒体に記録されることになる。

【0007】露光制御回路7は、A/D変換回路5から出力される画像データD0(n)を1画面単位で積分し、その積分値に対応してタイミングを変更する排出タイミング信号DTを生成する。この排出タイミング信号DTは、画像データD0(n)に対する積分値が、適正範囲を超えている場合にはタイミングを遅らせて情報電荷の蓄積時間Lを短くし、逆に、適正範囲に達していない場合にはタイミングを早めて情報電荷の蓄積時間Lを長くするように生成される。これにより、固体撮像素子1の露光状態が常に適正になるようにフィードバック制御が行われる。

【0008】ところで、パーソナルコンピュータやワードプロセッサ等のコンピュータ機器に画像データを取り込む場合、被写体原稿を走査して読み取るイメージスキャナを用いることがよく知られているが、近年では、動画の取り込みが可能なビデオカメラの如き撮像装置を用いることも考えられている。固体撮像素子を搭載した撮像装置をコンピュータ機器に接続する場合、ビデオキャ

プチャボードと称される拡張ボードをコンピュータ機器に装着し、撮像装置から出力される画像信号をコンピュータ機器に適合した信号に変換した後、コンピュータ機器に内蔵されるメモリへ取り込むように構成される。

【0009】図8は、ビデオキャプチャボードの構成を示すブロック図である。ビデオキャプチャボード10は、フレームメモリ11、同期検波回路12、タイミング制御回路13及びインタフェース回路14より構成される。フレームメモリ11は、撮像装置から入力される画像データD1(n)を1画面単位で記憶する。このフレームメモリ11としては、デュアルポートタイプのダイナミックRAMが用いられ、画像データD1(n)の書き込みと読み出しとが同時に行われる。同期検波回路12は、撮像装置から入力される画像データD1(n)に含まれる同期成分を検出し、垂直走査及び水平走査の各タイミングに従うタイミングパルスを発生する。タイミング制御回路13は、同期検波回路12から供給されるタイミングパルスと、パソコン側から供給される指示とに基づいて、フレームメモリ12に対する画像データD1(n)の書き込み及び読み出しのタイミングを制御する。これにより、撮像装置から1画面単位で入力される画像データD1(n)を1画面単位でフレームメモリ11に記憶させ、同時に、1画面単位で読み出してパソコン側へ転送できるようしている。

【0010】インタフェース回路14は、タイミング制御回路13の指示に従い、フレームメモリ11に記憶された画像データD1(n)を読み出してパソコン側へ転送する。また、インタフェース回路14は、タイミング制御回路13から出力される割り込み指示をパソコン側へ送出すると共に、パソコン側から送出される読み出し指示をタイミング制御回路13に供給する。これにより、フレームメモリ11に記憶される画像データD1(n)が所望のタイミングでパソコン側へ転送されるようになる。

【0011】ビデオキャプチャボード10から画像データを取り込むパソコンにおいては、キーボードから入力されるコマンドや動作プログラムに従うコマンドに応答して、画像データの取り込みや各種の演算、内蔵のメモリへのアクセス、画面の表示制御等が時分割処理で繰り返される。このため、画像データを連続して高速に取り込むことが困難であり、撮像装置の動作に追従することができない。例えば、NTSC方式やPAL方式等、一般的のテレビジョン方式に従う撮像装置の場合、毎秒数十フレーム分の画像データが取り出されるのに対して、通常のパソコンでは、毎秒数フレーム分の画像データを取り込むのが限界である。そこで、ビデオキャプチャボード10では、フレームメモリ12の書き込み制御によって画像データの一部を抜き出し、一部の画像データのみをパソコン側へ転送するように構成される。

【0012】

【発明が解決しようとする課題】このような撮像システ

ムの場合、大容量のフレームメモリ11を必要とするビデオキャプチャボード10のコストが高くなることから、撮像装置をコンピュータ機器の動作に合わせて起動させることができると考えられている。例えば、特開平7-87404号公報に開示されているように、撮像素子の垂直走査及び水平走査の各起動タイミングをコンピュータ機器側から制御することで、撮像装置で得られる画像データをコンピュータ機器に直接取り込むことができるようになっている。

【0013】しかしながら、撮像素子の垂直走査及び水平走査の各タイミングをコンピュータ機器側から制御する場合、各種の制御をコンピュータ機器側で行わなければならぬいため、コンピュータ機器の負担が大きくなる。このため、撮像素子からコンピュータ機器側への画像データの伝送速度を高速化できなくなるという問題が生じる。

【0014】そこで本発明は、コンピュータ機器に画像情報を取り込む撮像システムのコストを低減しながら、画像情報を高速でコンピュータ機器に転送できるようにすることを目的とする。

#### 【0015】

【課題を解決するための手段】本発明は、上述の課題を解決するためになされたもので、その特徴とするところは、被写体画像を撮らえ、画像情報を1画面単位でコンピュータ機器へ供給する撮像装置において、複数の受光画素が行列配置され、各受光画素に被写体画像に対応した情報電荷を蓄積する固体撮像素子と、一定周期の基準クロックに基づいて上記固体撮像素子の垂直走査期間を繰り返し所定の期間に設定する垂直タイミング制御回路と、上記基準クロックに同期し、コンピュータ機器側から供給される転送トリガに応答して上記固体撮像素子の水平走査のタイミングを決定する水平タイミング制御回路と、上記固体撮像素子の各受光画素に蓄積される情報電荷を一旦排出した後、所望の期間を経過して新たに蓄積される情報電荷を上記垂直タイミング制御回路及び水平タイミング制御回路の制御を受けて1行単位で順次転送出力して画像信号を得る駆動回路と、上記固体撮像素子の電荷排出のタイミングから電荷転送出力開始のタイミングまでの期間を上記画像信号のレベルに応じて設定する露光制御回路と、を備え、上記露光制御回路は、上記水平タイミング制御回路で設定される水平走査の帰線期間内に上記固体撮像素子の情報電荷の排出を完了させることにある。

【0016】これにより、コンピュータ機器側から固体撮像素子の垂直走査の起動タイミングを制御する必要がなくなるため、コンピュータ機器の負担が軽減される。そして、露光制御における電荷の排出が、水平走査の帰線期間内に行われるため、電荷の排出動作に起因するノイズが画像信号の有効期間に重畠するがなくなる。

【0017】さらに本発明の特徴とするところは、上記

垂直タイミング制御回路において、各垂直走査期間に上記固体撮像素子の水平走査数をカウントし、垂直走査期間の完了時点で水平走査数が所定の数に達しないとき、上記駆動回路の垂直走査を停止させると共に、上記露光制御回路の制御状態を固定することにある。これにより、予め設定された垂直走査期間内で水平走査数が不足する、即ち、全ての情報電荷の読み出しを完了できないときに、垂直走査期間が一時的に2倍に拡大され、情報電荷の読み出し動作が継続される。従って、情報電荷の読み出し動作が遅れた場合でも、1画面全ての情報電荷を確実に読み出すことができる。

#### 【0018】

【発明の実施の形態】図1は、本発明の撮像装置の構成を示すブロック図で、図2は、その動作を説明するタイミング図である。固体撮像素子1、垂直駆動回路2v及び水平駆動回路2hは、図6と同一であり、各駆動回路2v、2hが固体撮像素子1をパルス駆動して画像信号Y0(t)を得るように構成される。即ち、固体撮像素子1の撮像部1i、蓄積部1s及び水平転送部1hに対し、各駆動回路2v、2hから垂直転送クロックφv、蓄積クロックφs及び水平転送クロックφhを供給し、1画面分の情報電荷を1行単位で転送出力することで、画像信号Y0(t)を得ている。また、撮像部1iの過剰電荷排出用のドレイン領域に排出クロックφdを供給し、撮像部1iの各受光画素に蓄積される情報電荷を排出駆動することにより固体撮像素子1のシャッタ動作を可能にしている。尚、各駆動回路2v、2hは、後述する各タイミング制御回路21hと共に基準クロックBCKに従って動作する。

【0019】また、アナログ信号処理回路4、A/D変換回路5及びデジタル信号処理回路6についても、図6と同一であり、固体撮像素子1から出力される画像信号Y0(t)に対して画像データD1(n)を得るように構成される。即ち、画像信号Y0(t)に対してアナログ信号処理回路4で所定の処理を施して画像信号Y1(t)を生成し、この画像信号Y1(t)からA/D変換回路5によってデジタル化された画像データD0(n)を生成している。そして、この画像データD0(n)に対してデジタル信号処理回路6で所定の処理を施し、輝度データ及び色差データを含む画像データD1(n)を生成している。

【0020】本発明の特徴とするところは、固体撮像素子1の水平走査のタイミングをコンピュータ機器側からの転送トリガTRに応答して不定期に設定し、垂直走査の周期を撮像装置側で独立して一定に設定することにある。即ち、固体撮像素子1から情報電荷を1行単位で転送出力するタイミングは、コンピュータ機器から供給する転送トリガに応答して設定し、1画面の情報電荷を得る撮像周期は、コンピュータ機器に関係なく撮像装置側で独立して一定に固定して設定するようにしている。

【0021】水平タイミング制御回路21hは、画像デ

ータD1(n)を受けるコンピュータ機器からの転送トリガTRに応答して起動し、図3に示すように、基準クロックBCKの立ち上がりに従うタイミングで水平タイミング信号HTを立ち上げる。この水平タイミング制御回路21hは、一定周期の基準クロックBCKをカウントするカウンタを含み、基準クロックBCKを固体撮像素子1の水平方向の画素数に対応するクロック数だけカウントする間に立ち上げられる水平転送フラグHFを出力する。即ち、基準クロックBCKに従って動作する水平駆動回路2hが1行分の情報電荷の転送力を開始してから完了するまでの期間を検出するため、水平タイミング制御回路21hの起動時点で立ち上がり、基準クロックBCKを所定のクロック数だけカウントした後に立ち下げるようにして水平転送フラグHFが生成される。この水平転送フラグHFは、コンピュータ機器側に供給され、この水平転送フラグHFが立ち上がっている期間に次の転送トリガTRが立ち上げられることがないようにしている。

【0022】垂直タイミング制御回路21vは、一定周期の分周クロックDCKをカウントするカウンタを含み、分周クロックDCKを所定の比で分周し、垂直走査期間を設定する垂直タイミング信号VTを生成する。ここで、分周クロックDCKは、基準クロックBCKから分周回路22によって生成されるものであり、基準クロックBCKに同期する。この垂直タイミング制御回路21vの分周動作は、コンピュータ機器からの転送トリガTRに関係なく、常に一定に維持されており、固体撮像素子1が一定の周期で撮像を繰り返すようにしている。同時に、垂直タイミング制御回路21vでは、分周クロックDCKをカウントするカウンタの出力が、時間情報として後述する露光制御回路23に供給される。この垂直タイミング制御回路21vにより設定される1垂直走査期間(1V)は、固体撮像素子1が十分な露光期間を確保でき、且つ、1画面を構成する全ての行の情報電荷の転送力を完了できるような長さに設定される。例えば、固体撮像素子1がVGA(Video Graphic Array)対応であるときには、垂直画素数が480であり、1水平走査期間は、転送トリガTRの平均周期の少なくとも480倍以上に設定される。

【0023】露光制御回路23は、画像データD0(n)を1画面単位で積分する積分回路と、その積分値が適正範囲にあるか否かを判定する比較回路と、固体撮像素子1の情報電荷の排出タイミングを記憶するアップダウンカウンタとを含む。積分回路は、A/D変換回路5から出力される画像データD0(n)を1画面単位で積分し、その積分値を比較回路に供給する。比較回路は、適正範囲の上限及び下限に対応する2つの基準値を積分回路の積分値と比較し、上限値を超えていればアップダウンカウンタをアップカウントし、下限値に達していなければアップダウンカウンタをダウンドカウントする。アップダウン

カウンタは、垂直駆動回路2vが固体撮像素子1の情報電荷を排出するタイミングを垂直タイミング制御回路21vの分周クロックDCKをカウントするカウンタの出力である時間情報に対応付けて記憶する。そして、アップダウンカウンタの出力と時間情報とが一致した時点で排出タイミング信号DTを立ち上げ、垂直駆動回路2vに対して固体撮像素子1の撮像部1iの情報電荷を排出させるように指示を与える。ここで、露光制御回路23は、水平タイミング制御回路21hから水平転送フラグHFを受け取り、この水平転送フラグHFが立ち上がっている期間には排出タイミング信号DTを立ち上げないようにしている。即ち、水平転送フラグHFが立ち上がっている間は、固体撮像素子1の蓄積部1sから情報電荷が転送力されており、この期間に撮像部1iの情報電荷を排出駆動すると画像信号Y0(t)に排出ノイズが混入する。このため、排出タイミング信号DTの立ち上がりが水平転送フラグHFの立ち上がっている期間に一致したときには、水平転送フラグHFが立ち下がるまで排出タイミング信号DTの立ち上がりを遅らせるようにしている。これにより、転送トリガTRが如何なるタイミングで入力されたとしても、蓄積部1sの情報電荷の転送力中に撮像部1iの情報電荷の排出が行われることはなく、情報電荷の排出によるノイズが画像信号Y0(t)に混入するのを防止することができる。

【0024】ところで、垂直タイミング制御回路21vで設定される垂直走査期間の長さが不十分な場合には、1垂直走査期間内に1画面全ての行の情報電荷の読み出しを完了できなくなる可能性が高くなる。逆に、垂直走査期間の長さを十分な長さに設定すれば、1垂直走査期間内に情報電荷の読み出しを確実に完了させることは可能になるが、単位時間当たりの撮像画面数(フレームレート)が少なくなるという問題が生じる。そこで、一般的には、1画面全ての行の情報電荷の読み出しを要すると予測される最長の時間を基準として垂直走査期間を設定するようにしている。

【0025】本願発明では、垂直走査期間を短く設定してフレームレートを向上しながら、固体撮像素子1から1画面の情報電荷を確実に読み出すことができるようになっている。即ち、1垂直走査期間内で1画面の情報電荷の読み出しが完了しないときにのみ垂直走査期間を2倍に拡大し、情報電荷の読み出しを確実に完了させるように構成している。図4は、情報電荷の読み出しが完了したか否かを判定して垂直走査期間を変更する制御部の構成例を示すブロック図である。

【0026】制御部は、水平タイミング信号HTをカウントするカウンタ31、カウンタ31のカウント値を判定する判定回路32及び垂直タイミング信号VTの通過を許可するANDゲート33からなり、垂直タイミング制御回路21vと垂直駆動回路2vとの間に設けられる。カウンタ31は、垂直タイミング信号VTの各タイ

ミングでリセットされ、水平タイミング信号HTをカウントし、そのカウント値を判定回路32に供給する。判定回路32は、垂直タイミング信号VTの次のタイミングよりも少し（分周クロックDCKの数クロック分）早いタイミングでカウント値を所定の基準値と比較する。そして、カウンタ31のカウント値が基準値に達していないとき、固体撮像素子1の情報電荷の読み出しが完了していないとして垂直走査期間延長信号VEを立ち上げる。例えば、固体撮像素子1の垂直画素数が480であるとき、判定回路32の基準値を480に設定し、1垂直走査期間におけるカウンタ31のカウント値が480に達しなかったときに延長信号VEを立ち上げるように構成される。この延長信号VEは、ANDゲート33の入力の一方（反転論理入力）に入力され、入力の他方に入力される垂直タイミング信号VTの通過が立ち上がりの期間に禁止される。同時に、延長信号VEは、露光制御回路23に供給され、立ち上がっているときに露光制御の条件を次の垂直走査期間まで固定する。判定回路32でのカウント値の判定のタイミングは、垂直タイミング制御回路21vにより垂直タイミング信号VTと同期して生成される垂直ブランкиング信号の立ち下がりに基づいて設定される。即ち、垂直タイミング制御回路21vでは、分周信号DCKをカウントするカウンタの出力から同一周期で位相及びデューティ比の異なる複数のタイミング信号が生成される。そこで、複数のタイミング信号の内、垂直タイミング信号VTに先行して立ち下がる垂直ブランкиング信号に基づくタイミングで判定回路32を動作させるようにしている。

【0027】以上のように構成した制御部によれば、コンピュータ側からの転送トリガTRが遅れ、図4に示すように、1垂直走査期間(1V)内で情報電荷の読み出し(1行毎の水平転送)を完了できなくなると、撮像部1iから蓄積部1sへの高速の垂直転送、いわゆるフレームシフトが停止される。これにより、固体撮像素子1では、蓄積部1sに同一画面の情報電荷が複数の垂直走査期間にわたって保持され、1行毎の水平転送による情報電荷の読み出しが続けられる。そして、情報電荷の読み出しを開始してから2番目の垂直走査期間の途中で情報電荷の読み出しを完了すれば、その垂直走査期間の完了時点で次の画面を構成する情報電荷のフレームシフトが行われる。このとき、露光制御回路23による情報電荷の排出は継続されており、フレームシフトが再開されたときには、直ちに露光制御が実行される。

【0028】従って、特殊な動作状態のときに限って生じる情報電荷の読み出しの遅れに対応して固体撮像素子1の撮像周期(垂直走査期間)を設定する必要がなくなる。この垂直走査期間は、コンピュータ機器の標準的な動作状態のときに対応できる範囲で設定すればよく、フレームシフトの停止が時々発生することがあったとしても、総合的にはフレームレートを向上することができ

る。

#### 【0029】

【発明の効果】本発明によれば、撮像装置を一定の垂直走査周期で動作させ、コンピュータ機器から1行単位で画像情報を転送させるように指示を与えるようにしたことで、コンピュータ機器の負担を少なくしながら撮像装置から高速で画像データを転送することが可能になる。また、撮像装置の露光制御とコンピュータ機器への画像情報の転送とを同期させたことにより、露光制御時の情報電荷の排出動作に起因するノイズが画像情報に混入するのを防止できる。

【0030】また、固体撮像素子から情報電荷の読み出しを完了できなかったとき、情報電荷の読み出しを複数の垂直走査期間にわたって行うようにしたことで、垂直走査期間を短く設定しながら画像情報の転送の遅れに対応できるようになる。従って、画像情報の転送の遅れが頻繁に発生しない限り、画像情報の転送周期(フレームレート)を向上することができる。

#### 【図面の簡単な説明】

【図1】本発明の撮像装置の構成を示すブロック図である。

【図2】本発明の撮像装置の動作を示すタイミング図である。

【図3】水平タイミング制御回路の動作を示すタイミング図である。

【図4】垂直走査期間の延長を制御する制御部の構成を示すブロック図である。

【図5】制御部の動作を説明するタイミング図である。

【図6】従来の撮像装置の構成を示すブロック図である。

【図7】従来の撮像装置の動作を示すタイミング図である。

【図8】ビデオキャプチャボードの構成を示すブロック図である。

#### 【符号の説明】

1 固体撮像素子

1i 撮像部

1s 蓄積部

1h 水平転送部

1f 出力部

2v 垂直駆動回路

2h 水平駆動回路

3v, 21v 垂直タイミング制御回路

3h, 21h 水平タイミング制御回路

4 アナログ信号処理回路

5 A/D変換回路

6 デジタル信号処理回路

7, 23 露光制御回路

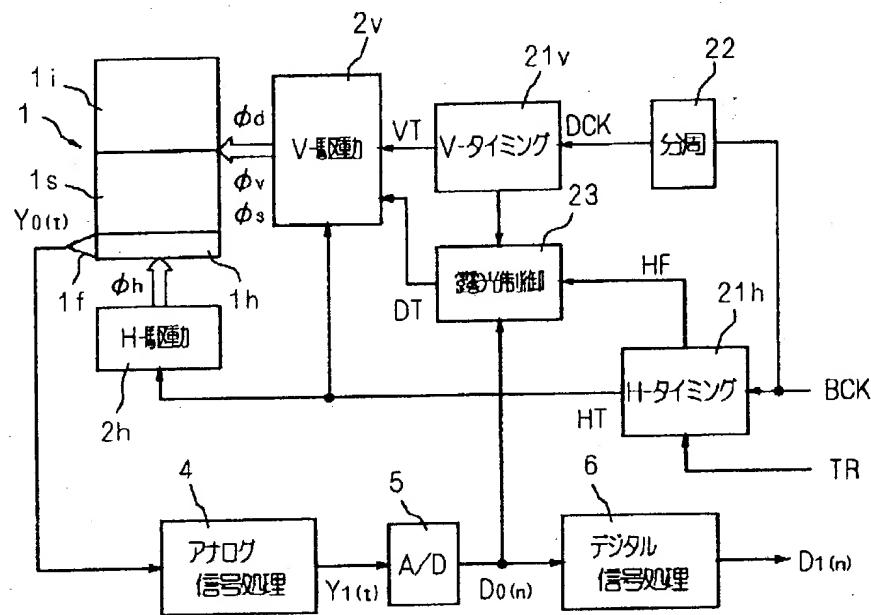
10 ビデオキャプチャボード

11 フレームメモリ

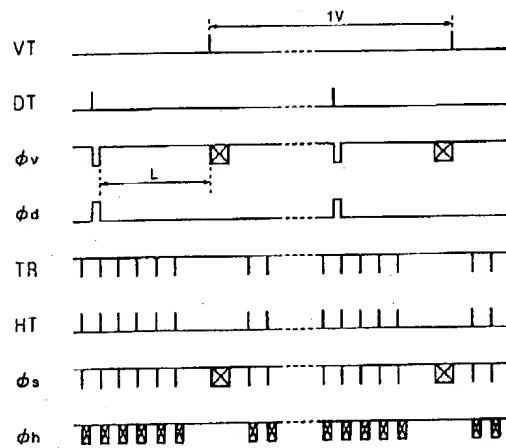
1 2 同期検波回路  
 1 3 タイミング制御回路  
 1 4 インタフェース回路  
 2 1 アナログ信号処理回路

2 2 分周回路  
 3 1 カウンタ  
 3 2 判定回路  
 3 3 ANDゲート

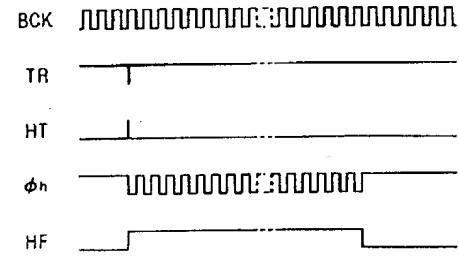
【図1】



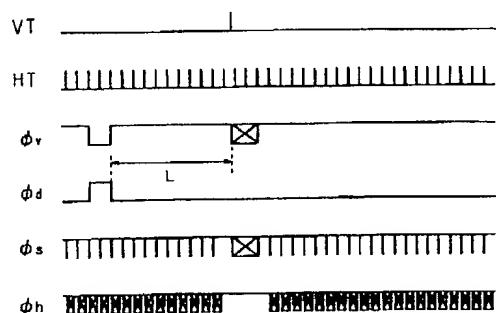
【図2】



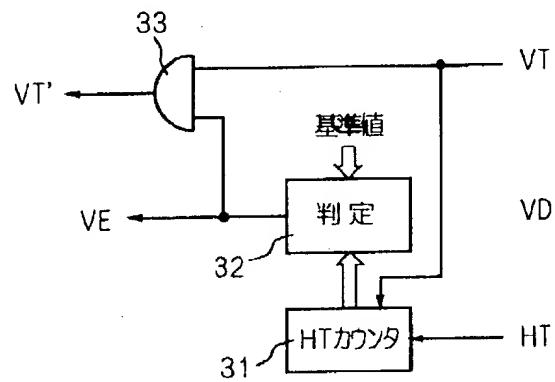
【図3】



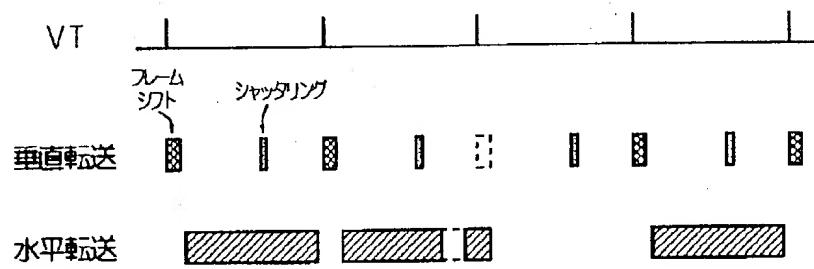
【図7】



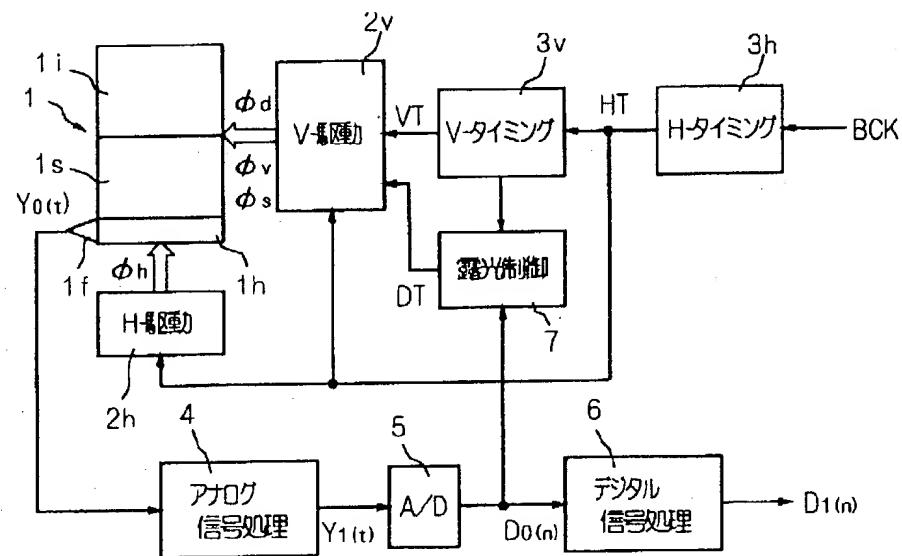
【図4】



【図5】



【図6】



【図8】

